



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001217415 A**(43) Date of publication of application: **10.08.01**

(51) Int. Cl.

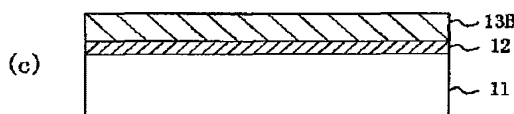
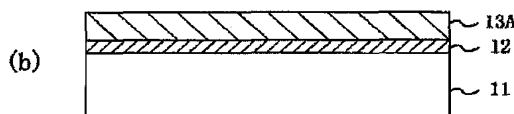
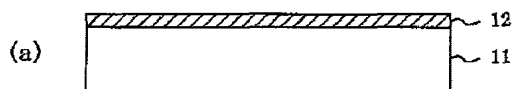
H01L 29/78
H01L 21/316
(21) Application number: **2000022363**(22) Date of filing: **31.01.00**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **YAMAMOTO KAZUHIKO**(54) **METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce film thickness of a silicon oxide film interposing in an interface between a single crystal silicon and a tantalum oxide film, and to prevent leakage current in the tantalum oxide film.

SOLUTION: The approximately 5 nm thick tantalum oxide film 13A is deposited on a silicon oxide film 12 formed on substrate 11 of a single crystal silicon by means of CVD method and the like. A tantalum oxide film 13B composed of excessive oxygen is formed by processing heat treatment to the tantalum oxide film 13A in an oxygen radical. Therefore, a crystallized tantalum oxide film 13C is obtained by subjecting the tantalum oxide film 13B composed of excessive oxygen to heat treatment in an atmosphere having no tendency to oxidation.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-217415

(P2001-217415A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

H 0 1 L 21/316

M 5 F 0 4 0

21/316

29/78

3 0 1 G 5 F 0 5 8

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願2000-22363(P2000-22363)

(22)出願日 平成12年1月31日(2000.1.31)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 和彦

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

Fターム(参考) 5F040 DA19 DC01 EB12 EC04 EC08

ED01 ED03

5F058 BA20 BD01 BD04 BD05 BE03

BF02 BF12 BF55 BF62 BF64

BH02 BH03 BH04 BJ01

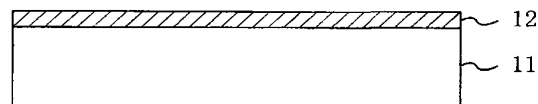
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

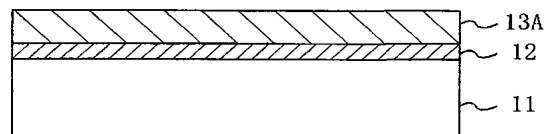
【課題】 単結晶シリコンとタンタル酸化膜との界面に介在させるシリコン酸化膜の膜厚が厚くならないようにすると共に、タンタル酸化膜のリーク電流を防止できるようにする。

【解決手段】 まず、CVD法等を用いて、単結晶シリコンからなる半導体基板11上のシリコン酸化膜12の上に、膜厚が約5nmのタンタル酸化膜13Aを堆積させる。次に、タンタル酸化膜13Aに対して、酸素ラジカル中で熱処理を行なうことにより、酸素の組成が過剰なタンタル酸化膜13Bを形成する。その後、酸素が過剰のタンタル酸化膜13Bを酸化性を有さない雰囲気中で熱処理を行なうことにより、結晶化したタンタル酸化膜13Cを得る。

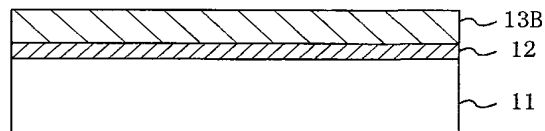
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 タンタル酸化膜を含む積層構造のゲート絶縁膜を有する半導体装置の製造方法であって、素子形成面を有する単結晶シリコンにおける前記素子形成面の上に、該素子形成面との界面がシリコンと酸素とからなる第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜の上に、酸素の組成が過剰なタンタル酸化膜を形成する工程と、前記タンタル酸化膜を実質的に酸素を含まない雰囲気中で加熱して前記タンタル酸化膜を結晶化することにより、前記タンタル酸化膜からなる第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜の上に、金属を含むゲート電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のゲート絶縁膜は、シリコン酸化膜、又は前記素子形成面との界面及び該界面の近傍を除く部分に窒素を含むシリコン酸窒化膜からなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 酸素の組成が過剰な前記タンタル酸化膜は、前記第1のゲート絶縁膜の上にタンタル酸化膜を堆積した後、堆積したタンタル酸化膜を紫外光によって分解されたオゾンガス又はプラズマ化された酸素ガスからなる活性酸素にさらすことにより形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記酸素を含まない雰囲気は、窒素ガス、アルゴンガス又は真空であることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、タンタル酸化膜を含む積層構造のゲート絶縁膜を有するMISFET(metal insulator semiconductor fieldeffect transistor)の製造方法に関する。

【0002】

【従来の技術】 近年、ロジックデバイスに対して、動作の高速化と低消費電力化とが強く要望されている。高速化を実現するためには、デバイスを構成するMISFETやMOSFETのゲート絶縁膜の容量を大きくして、キャリアのドリフト速度とドレイン電流とを増加させる必要がある。

【0003】 第1の方法として、ゲート絶縁膜の材料にシリコン酸窒化膜を用いて、ゲート絶縁膜の膜厚を薄くすることによりゲート容量値を大きくする方法が試みられている。この場合には、例えば、ゲート長が0.1 μ m以下となるデバイスに要求されるスペックを実現するには、ゲート絶縁膜の膜厚を2nm以下としなければならない。しかしながら、ゲート絶縁膜の薄膜化によって、ゲート電極から基板に直接的にトンネル電流による

リーク電流が発生して消費電力が大きくなってしまいうという問題がある。さらに、薄膜化の弊害として、P⁺ポリシリコンからなるゲート電極からドーパントのボロンが基板に拡散して、信頼性が低下する等の問題もある。

【0004】 そこで、第2の方法として、ゲート絶縁膜を薄膜化せずにゲート容量値を増大させるために、ゲート絶縁膜に高誘電体膜であるタンタル酸化膜を用いる試みがなされている。タンタル酸化膜が持つ高い比誘電率を利用すれば、ゲート絶縁膜の膜厚を厚くしてもゲート容量値が減少しないからである。

【0005】 ところが、タンタル酸化膜は、スパッタ法や化学気相堆積(CVD)法等の堆積方法によらず、堆積直後にはリーク電流が流れやすい。特に、低温で堆積した堆積膜はアモルファス状態にあり、また酸素の組成も化学量論的組成よりも欠乏状態にあるため、リーク電流も大きい。このため、堆積後のタンタル酸化膜を酸素雰囲気中で熱処理して結晶化すると共に酸素の補給をも行なう必要がある。

【0006】 さらに、シリコンからなる基板上に直接にタンタル酸化膜を堆積した場合には、基板とタンタル酸化膜との界面に未結合ボンドができやすく、この未結合ボンドは界面準位を形成してキャリアに対するトラップとなり、キャリアの移動度を低下させてしまう。従って、界面準位密度を低減するためには、基板とタンタル酸化膜との界面にシリコン酸化膜を形成することが考えられる。

【0007】 以下、論文「Y. Momiya et. al., VLSI Tech. Digest. p135, 1997」にも開示されている、シリコン酸化膜とタンタル酸化膜とを積層した従来のゲート絶縁膜の製造方法について図面を参照しながら説明する。

【0008】 図3(a)～図3(c)は従来のゲート絶縁膜の製造方法の工程順の断面構成を示している。まず、図3(a)に示すように、シリコンからなる基板101の主面を熱酸化することにより、基板101の主面上にシリコン酸化膜102を形成する。続いて、シリコン酸化膜102の上にタンタル酸化膜103Aを堆積する。

【0009】 次に、図3(b)に示すように、タンタル酸化膜103Aを堆積した基板101に対して、酸素、二酸化酸素、一酸化酸素等の酸化雰囲気中で熱処理を行なうことにより、タンタル酸化膜103Aに対して酸素を供給しながら、結晶化したタンタル酸化膜103Bを形成する。これにより、タンタル酸化膜103Bのリーク電流密度が低下する。

【0010】 次に、図3(c)に示すように、タンタル酸化膜103Bの上に、例えば窒化チタン(TiN)からなる導電膜104を堆積する。この後、導電膜104、タンタル酸化膜103B及びシリコン酸化膜102に対して、所望のパターニングを行なって、導電膜10

4からなるゲート電極並びにタンタル酸化膜103B及びシリコン酸化膜102からなるゲート絶縁膜を形成する。

【0011】

【発明が解決しようとする課題】しかしながら、前記従来のゲート絶縁膜の形成方法は、以下のような問題を有している。すなわち、図3(b)に示すタンタル酸化膜103Aの加熱条件は、一般に800℃程度と高いため、気相から酸化種がタンタル酸化膜103A、103Bを透過して基板101に拡散して基板101の上部が酸化されて、シリコン酸化膜102の膜厚が所望の膜厚よりも厚くなってしまふ。さらに、シリコン酸化膜102は、比誘電率が4程度であり、比誘電率が約25のタンタル酸化膜103Bと比べて小さい。その上、ゲート絶縁膜の容量値は、シリコン酸化膜102とタンタル酸化膜103Bとの直列接続となって小さくなるため、ゲート電極によるFETの駆動力が低下する。

【0012】本発明は、前記従来の問題を解決し、単結晶シリコンとタンタル酸化膜との界面に介在させるシリコン酸化膜の膜厚が厚くならないようにすると共に、タンタル酸化膜のリーク電流を防止できるようにすることを目的とする。

【0013】

【課題を解決するための手段】本願発明者は、シリコンからなる基板上に設けるゲート絶縁膜に高誘電体膜を用いる構成のMISFETに関して、以下の知見を得ている。すなわち、不活性ガス又は真空中でタンタル酸化膜に対して熱処理を施すと、酸化種が存在しない雰囲気中で且つ800℃以上の熱処理を行なう際に、タンタル酸化膜から酸素が脱離して、タンタル酸化膜においてタンタルが過剰な組成となるため、逆にリーク電流が増加してしまう。

【0014】また、熱処理時における酸素の基板への拡散を抑制するために、基板に対して窒化又は酸窒化を行なうと、窒化によって形成されたシリコン窒化膜は界面準位が多く、また酸窒化によって形成されたシリコン酸窒化膜は酸素の拡散を十分に防止できない。

【0015】そこで、本発明は、前記の目的を達成するため、半導体装置におけるゲート絶縁膜の製造方法を、単結晶シリコンにおける素子形成面上に該素子形成面との界面がシリコンと酸素とからなる第1のゲート絶縁膜と、該第1のゲート絶縁膜上に酸素の組成が過剰な状態のタンタル酸化膜とを形成し、酸素の組成が過剰な状態のタンタル酸化膜を酸化性ガスを含まない雰囲気中で結晶化する構成とする。

【0016】具体的に、本発明に係る半導体装置の製造方法は、タンタル酸化膜を含む積層構造のゲート絶縁膜を有する半導体装置の製造方法を対象とし、素子形成面を有する単結晶シリコンにおける該素子形成面上に、該素子形成面との界面がシリコンと酸素とからなる第1

のゲート絶縁膜を形成する工程と、第1のゲート絶縁膜の上に、酸素の組成が過剰なタンタル酸化膜を形成する工程と、タンタル酸化膜を実質的に酸素を含まない雰囲気中で加熱してタンタル酸化膜を結晶化することにより、タンタル酸化膜からなる第2のゲート絶縁膜を形成する工程と、第2のゲート絶縁膜の上に、金属を含むゲート電極を形成する工程とを備えている。

【0017】本発明の半導体装置の製造方法によると、素子形成面を有する単結晶シリコンにおける素子形成面上に、該素子形成面との界面がシリコンと酸素とからなる第1のゲート絶縁膜と、酸素の組成が過剰なタンタル酸化膜とを順次形成しておき、このタンタル酸化膜を実質的に酸素を含まない雰囲気中で加熱してタンタル酸化膜を結晶化することにより、結晶化されたタンタル酸化膜からなる第2のゲート絶縁膜を形成する。これにより、単結晶シリコンと第2のゲート絶縁膜との間に形成される第1のゲート絶縁膜は、酸素を含まない雰囲気中で加熱されるため、第2のゲート絶縁膜の熱処理後であっても、その膜厚が形成直後の膜厚よりも厚くなることがない。その上、単結晶シリコンと第1のゲート絶縁膜との界面がシリコンと酸素とから構成されているため、界面準位が減少する。また、タンタル酸化膜の組成を酸素が過剰な状態となるように形成するため、結晶化のための熱処理により酸素が脱離しても酸素の組成が欠乏することがないので、リーク電流を防止できる。

【0018】本発明の半導体装置の製造方法において、第1のゲート絶縁膜は、シリコン酸化膜、又は単結晶シリコンの素子形成面との界面及び界面近傍を除く部分に窒素を含むシリコン酸窒化膜からなることが好ましい。

【0019】本発明の半導体装置の製造方法において、酸素の組成が過剰なタンタル酸化膜を、第1のゲート絶縁膜の上にタンタル酸化膜を堆積した後、堆積したタンタル酸化膜を紫外光によって分解されたオゾンガス又はプラズマ化された酸素ガスからなる活性酸素にさらすことにより形成することが好ましい。

【0020】本発明の半導体装置の製造方法において、酸素を含まない雰囲気が窒素ガス、アルゴンガス又は真空であることが好ましい。

【0021】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0022】図1(a)～図1(c)及び図2(a)～図2(c)は本発明の一実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0023】まず、図1(a)に示すように、単結晶シリコンからなる半導体基板11の主面に対して、フッ酸(HF)、希釈フッ酸(DHF)又は緩衝フッ酸(BHF)等を用いてエッチングを行なって、主面(素子形成面)上の自然酸化膜を除去することにより、該主面を清浄化する。その後、半導体基板11に対して、加熱温度

が約700℃以上で且つ加熱時間が約30秒以上の酸素雰囲気中で加熱することにより、清浄化された半導体基板11の主面上に、例えば、膜厚が約0.5nmの第1のゲート絶縁膜としてのシリコン酸化膜12を形成する。なお、シリコン酸化膜12の膜厚は0.1nm~1nm程度であればよい。また、シリコン酸化膜12は、単結晶シリコンとの界面がシリコンと酸素とから構成されておればよく、界面を除く部分に窒素を含むシリコン酸窒化膜であってもよい。また、半導体基板11はバルクでなくてもよく、例えば、SOI基板であってもよい。

【0024】次に、図1(b)に示すように、CVD法又はスパッタ法等を用いて、シリコン酸化膜12の上に、例えば、膜厚が約5nmのタンタル酸化膜13Aを堆積させる。なお、タンタル酸化膜13Aの膜厚は1nm~10nm程度であればよい。ここで、前述したように、タンタル酸化膜13Aはアモルファス状態であり且つ酸素の組成が過小状態にある。すなわち、タンタル酸化膜13Aを一般式で表わすと、 $Ta_2O_5-\alpha$ (但し、 α は正の数である。)となる。

【0025】次に、図1(c)に示すように、タンタル酸化膜13Aに対して、酸素ラジカル中で熱処理を行なうことにより、酸素の組成が過剰なタンタル酸化膜13Bを得る。すなわち、タンタル酸化膜13Bを一般式で表わすと、 $Ta_2O_5+\beta$ (但し、 β は正の数である。)となる。ここで、加熱条件は、加熱温度を450℃以上とし加熱時間を10分以上とする。酸素ラジカルの生成方法は、例えば、波長が254nmで強度が約30mW/cm²の紫外光を濃度が120g/m³程度のオゾンガスに照射することによって発生させる。なお、酸素ラジカルは酸素ガスをプラズマ化して得てもよい。

【0026】また、タンタル酸化膜13Aを堆積した後、堆積後のタンタル酸化膜13Aに対して酸素を供給して、タンタル酸化膜13Aから酸素が過剰なタンタル酸化膜13Bを得たが、酸素を過剰に含むタンタル酸化膜13Bをシリコン酸化膜12上に直接に形成してもよい。この場合には、酸素ラジカル雰囲気中でCVD法又はスパッタ法による堆積を行なえばよい。

【0027】次に、図2(a)に示すように、酸素が過剰のタンタル酸化膜13Bを酸化性を有さない雰囲気、例えば、窒素雰囲気中で熱処理を行なうことにより、第2のゲート絶縁膜としての結晶化したタンタル酸化膜13Cを得る。このときの加熱条件は、加熱温度を約750℃以上とし加熱時間を約30秒以上としている。これにより、タンタル酸化膜13Cは結晶化されるため、タンタル酸化膜13Cを通るリーク電流を防止できる。また、半導体基板11に対する気相からの酸素の導入がなくなるため、半導体基板11とシリコン酸化膜12との界面に新たなシリコン酸化膜が形成されることがなくなるので、シリコン酸化膜12の膜厚の肥大を防止できる。ここでは、酸化性を有さない雰囲気ガスとして窒素

ガスを用いたが、アルゴン等の不活性ガスを用いてもよく、真空であってもよい。なお、雰囲気中には、濃度が1ppm程度以下であれば酸素ガスが含まれていてもかまわない。

【0028】また、第2のゲート絶縁膜は高誘電体膜であればよく、従って、酸化タンタル(Ta_2O_5)に限らず、酸化チタン(TiO_2)、酸化アルミニウム(Al_2O_3)、酸化ジルコニウム(ZrO_x)又は酸化ハフニウム(HfO_y) (但し、 x 、 y は正の数であり、例えば、 ZrO_2 、 HfO_2 である。)等からなる高誘電体膜を用いてもよい。

【0029】次に、図2(b)に示すように、CVD法又はスパッタ法等を用いて、例えば、膜厚が50nm程度の金属を含む導体膜、例えば、窒化チタン(TiN)からなる導電膜14Aを堆積する。導電膜14Aには、 TiN に限らず、タンタル(Ta)、チタン(Ti)、タングステン(W)、窒化タンタル(TaN)又は窒化タングステン(WN)であってもよい。

【0030】次に、図2(c)に示すように、導電膜14A、タンタル酸化膜13C及びシリコン酸化膜12に対して、所定のパターニングを行なうことにより、導電膜14Aからなるゲート電極14Bと、タンタル酸化膜13C及びシリコン酸化膜12からなるゲート絶縁膜15を形成する。

【0031】以上説明したように、本実施形態によると、高誘電体からなる第2のゲート絶縁膜としてのタンタル酸化膜13Bに対して熱処理を施す際に、気相から半導体基板11への酸素の拡散が生じないため、シリコン酸化膜12の膜厚が増大することがないので、所望の膜厚を有するゲート絶縁膜15を得ることができる。

【0032】また、結晶化される前のタンタル酸化膜13Bは、酸素を過剰に含むため、結晶化の熱処理により多少の酸素が脱離したとしても、酸素の組成が欠乏することがないので、リーク電流の増大をも防止できる。

【0033】

【発明の効果】本発明に係る半導体装置の製造方法によると、タンタル酸化膜を結晶化する際に、タンタル酸化膜の酸素の組成をあらかじめ過剰にしておき、酸化性を有さない雰囲気中で加熱して結晶化を図るため、気相から単結晶シリコンへの酸素の拡散が生じない。このため、シリコン酸化膜の膜厚が増大することがないので、タンタル酸化膜の高い比誘電率による大きなゲート容量値を確実に得ることができる。また、あらかじめタンタル酸化膜に酸素を過剰に含ませておくため、熱処理によって酸素が脱離しても、タンタル酸化膜におけるリーク電流が増えることがない。

【図面の簡単な説明】

【図1】(a)~(c)は本発明の一実施形態に係る半導体装置の製造方法であって、ゲート絶縁膜の形成方法を示す工程順の断面構成図である。

【図 2】 (a) ~ (c) は本発明の一実施形態に係る半導体装置の製造方法であって、ゲート絶縁膜の形成方法を示す工程順の断面構成図である。

【図 3】 (a) ~ (c) は従来の半導体装置におけるゲート絶縁膜の製造方法を示す工程順の断面構成図である。

【符号の説明】

11 半導体基板（単結晶シリコン）

12 シリコン酸化膜（第 1 のゲート絶縁膜）

13A タンタル酸化膜

13B （酸素過剰状態の）タンタル酸化膜

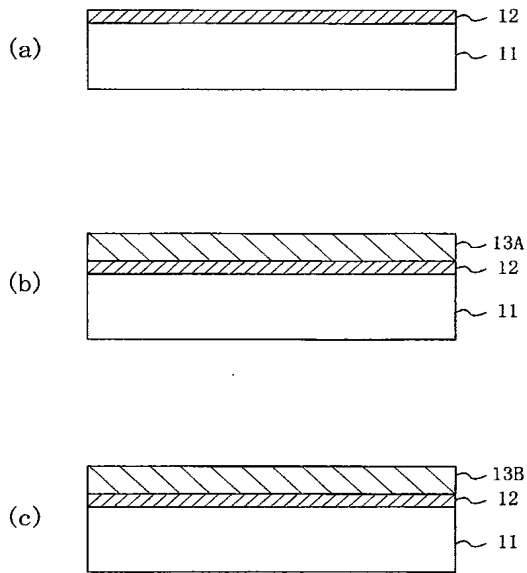
13C （結晶状態の）タンタル酸化膜（第 2 のゲート絶縁膜）

14A 導電膜

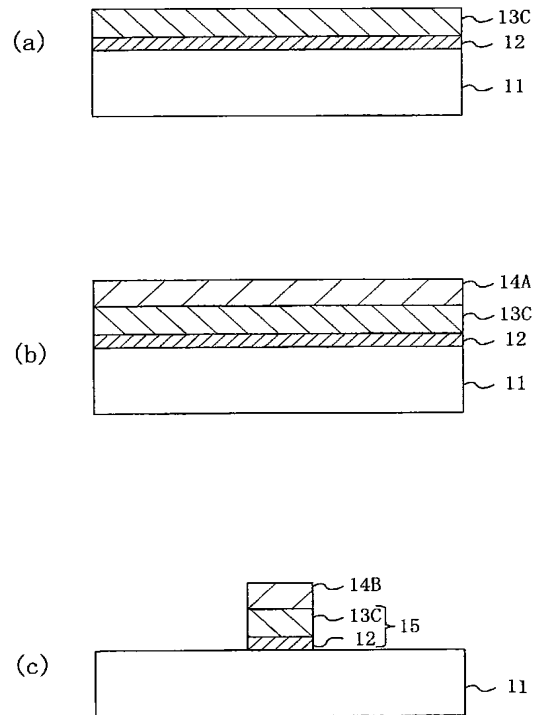
14B ゲート電極

15 ゲート絶縁膜

【図 1】



【図 2】



【図 3】

